# AXI To AHB Bridge设计文档

**撰写人：马晓庆**

**时间：2022年5月**

目录

[AXI To AHB Bridge设计文档 1](#_Toc104761572)

[1. 顶层设计概要 3](#_Toc104761573)

[1.1 模块说明 3](#_Toc104761574)

[1.2 信号描述 3](#_Toc104761575)

[2. CMD模块 5](#_Toc104761576)

[2.1 功能描述 5](#_Toc104761577)

[2.2 实现原理 5](#_Toc104761578)

[2.3 信号描述 5](#_Toc104761579)

[3. CTRL模块 7](#_Toc104761580)

[3.1 功能描述 7](#_Toc104761581)

[3.2 实现原理 7](#_Toc104761582)

[3.3 信号描述 7](#_Toc104761583)

[4. WDATA模块 9](#_Toc104761584)

[4.1 功能描述 9](#_Toc104761585)

[4.2 实现原理 9](#_Toc104761586)

[4.3 信号描述 9](#_Toc104761587)

[5. RDATA模块 10](#_Toc104761588)

[5.1 功能描述 10](#_Toc104761589)

[5.2 实现原理 10](#_Toc104761590)

[5.3 信号描述 10](#_Toc104761591)

## 顶层设计概要



### 模块说明

|  |  |
| --- | --- |
| 模块名 | 功能描述 |
| CMD生成模块 | 仲裁AW通道与AR通道，并下发输出控制命令 |
| CTRL控制模块 | CMD的执行模块，根据CMD模块下发的命令产生AHB总线的控制模块，并控制WDATA与RDATA模块进行读写相位的同步 |
| WDATA写数据模块 | 写数据模块，根据CTRL的同步信号和HREADY将AXI通道的数据写如到AHB总线的WDATA上，并根据LAST信号和HRESP对AXI-B通道回复写操作结果 |
| RDATA读数据模块 | 读数据模块，根绝CRTL的同步信号和HREADY将AHB的数据读取写入到AXI总线的读数据通道中，并根据HRESP对读数据通道进行回复 |

### 内部信号描述

|  |  |  |  |
| --- | --- | --- | --- |
| 类别 | 信号 | 名称 | 描述 |
| CMD类 | CMD\_ID | 命令ID | 保存当前命令的ID用于回复Master |
| CMD\_READ | 命令写操作 | 指示当前命令为写操作 |
| CMD\_WRITE | 命令读操作 | 指示当前命令为写操作 |
| CMD\_ADDR | 命令起始地址 | 本次操作的传输起始地址 |
| CMD\_BURST\_TYPE | 命令突发类型 | 本次操作的突发类型 |
| CMD\_LENGTH | 命令传输长度 | 本次操作的传输长度 |
| CMD\_ERROR | 命令错误 | 本次操作为错误，指示读写模块的AXI-RESP回复错误响应 |
| CTRL类型 | CTRL\_CMD\_VALID | 命令有效 | 指示当前命令有效 |
| CTRL\_CMD\_READY | CTRL模块就绪 | 响应CMD模块的VALID信号，通知CMD模块当前命令已经完成，可以接受并执行下一次命令 |
| CTRL\_WRITE\_VALID | 控制写相位 | 通知WDATA模块进入写相位 |
| CTRL\_WRITE\_READY | 写操作就绪 | 通知CTRL模块写操作已经就绪，可以进入写相位，否则CTRL将使AHB总线进入等待状态 |
| CTRL\_READ\_VALID | 控制读就绪 | 通知RDATA模块进入读相位 |
| CTRL\_READ\_READY | 读操作就绪 | 通知CTRL模块读操作已经就绪，可以进入读相位，否则CTRL将使AHB总线进入等待状态 |
| CTRL\_READ\_LAST | 读操作结束 | 通知RDATA读操作已经结束，可以回复AXI-R通道LAST信号 |

## CMD模块

### 功能描述



CMD模块依据内部状态对AXI-AW/AR通道的命令进行仲裁和转换并写入FIFO，产生对外部的控制信号。

### 实现原理

* 仲裁与转换：当读写同时有效的时候，使用读-写交替轮询的方式进行仲裁。并转换写入到FIFO。
* 重排与反压：当CMD模块已经接收到写操作，仲裁将拒绝之后其他不同ID的Master主机的写操作
* 错误生成：当AXI操作的BURST、SIZE不在Bridge接受范围之内将产生错误信号

### 信号描述

|  |  |  |
| --- | --- | --- |
| 信号 | 名称 | 描述 |
| AXI-AW | AXI写地址通道 | AXI的写地址通道接口 |
| AXI-AR | AXI读地址通道 | AXI的都地址通道接口 |
| CMD\_ID | 命令ID | 保存当前命令的ID用于恢复Master |
| CMD\_READ | 命令写操作 | 指示当前命令为写操作 |
| CMD\_WRITE | 命令读操作 | 指示当前命令为写操作 |
| CMD\_ADDR | 命令起始地址 | 本次操作的传输起始地址 |
| CMD\_BURST\_TYPE | 命令突发类型 | 本次操作的突发类型 |
| CMD\_LENGTH | 命令传输长度 | 本次操作的传输长度 |
| CMD\_ERROR | 命令错误 | 本次操作为错误，指示读写模块的AXI-RESP回复错误响应 |
| CTRL\_CMD\_VALID | CMD有效信号 | 指示当前CMD信号为有效状态 |
| CTRL\_CMD\_READY | CRTL操作就绪 | CTRL模块是否已经就绪接受下一个操作命令 |

## CTRL模块

### 功能描述



CTRL模块主要功能用与接受CMD命令后控制AHB的总线输出，控制WDATA模块与RDATA模块产生正确的数据相位和结束信号

### 实现原理

* 状态机实现：IDLE-NONSEQ-SEQ-BUSY 4个状态对应AHB-TRANS的输出
* 状态转换：在IDLE阶段，根据CMD设置计数器的上限和传输模式，在计数器达到目标数值以后，切换回IDLE，接收下一个命令。如果读写模块和AHB没有就绪，就进入BUSY状态，暂停总线。
* 状态输出：SEQ阶段，向读写模块进入数据相位输出Valid信号，

### 信号描述

|  |  |  |
| --- | --- | --- |
| 信号 | 名称 | 描述 |
| CMD\_READ | 命令写操作 | 指示当前命令为写操作 |
| CMD\_WRITE | 命令读操作 | 指示当前命令为写操作 |
| CMD\_ADDR | 命令起始地址 | 本次操作的传输起始地址 |
| CMD\_BURST\_TYPE | 命令突发类型 | 本次操作的突发类型 |
| CMD\_LENGTH | 命令传输长度 | 本次操作的传输长度 |
| CMD\_ERROR | 命令错误 | 本次操作为错误，指示读写模块的AXI-RESP回复错误响应 |
| CTRL\_CMD\_VALID | CMD有效信号 | 指示当前CMD信号为有效状态 |
| CTRL\_CMD\_READY | CRTL操作就绪 | CTRL模块是否已经就绪接受下一个操作命令 |
| AHB\_TRANS | AHB 状态信号 | AHB传输状态 |
| AHB\_ADDR | AHB 地址信号 | AHB 读/写地址 |
| AHB\_WRITE | AHB 写/读信号 | AHB 写/读 模式 |
| AHB\_BURST | AHB 突发信号 | AHB 突发模式 |
| AHB\_SIZE | AHB 大小信号 | AHB 单次传输大小 |
| AHB\_READY | AHB 准备信号 | AHB Slave是否就绪 |
| AHB\_RESP | AHB 响应信号 | AHB 正确/错误响应 |
| CTRL\_WRITE\_VALID | 控制写相位 | 通知WDATA模块进入写相位 |
| CTRL\_WRITE\_READY | 写操作就绪 | 通知CTRL模块写操作已经就绪，可以进入写相位，否则CTRL将使AHB总线进入等待状态 |
| CTRL\_READ\_VALID | 控制读就绪 | 通知RDATA模块进入读相位 |
| CTRL\_READ\_READY | 读操作就绪 | 通知CTRL模块读操作已经就绪，可以进入读相位，否则CTRL将使AHB总线进入等待状态 |
| CTRL\_READ\_LAST | 读操作结束 | 通知RDATA读操作已经结束，可以回复AXI-R通道LAST信号 |

## WDATA模块

### 功能描述



WDATA模块的主要功能在于接受AXI-W的DATA数据，根据CTRL产生的数据相位写入到AHB-WDATA，在传输结束后想AXI-B写入响应信号。

### 实现原理

* 输出WDATA：从AXI-W读取数据到FIFO中，根据绝FIFO状态产生就绪信号，CTRL的Valid信号和HREADY开始想AHB更新输出数据
* AXI写响应产生：如果是错误状态，清空本次的FIFO。根据AHB\_RESP输出的结果，在收到AXI-W的LAST信号向AXI-B的FIFO写入本次传输的响应

### 信号描述

|  |  |  |
| --- | --- | --- |
| 信号 | 名称 | 描述 |
| CMD\_ID | 命令发起的ID | 用于发送AXI写响应信号的Master ID |
| CMD\_ERROR | 本次命令错误 | 指示当前命令错误，发送错误响应 |
| AXI-W | AXI-W写数据通道 | AXI写数据通道 |
| AXI-B | AXI-B写响应通道 | AXI写响应通道 |
| AHB\_READY | AHB 准备信号 | AHB Slave是否就绪 |
| AHB\_RESP | AHB 响应信号 | AHB 正确/错误响应 |
| AHB\_WDATA | AHB 写数据接口 | AHB 向Slave写数据的接口 |
| CTRL\_WRITE\_VALID | WDATA写有效信号 | 通知WDATA模块进入写相位 |
| CTRL\_WRITE\_READY | WDATA就绪信号 | 通知CTRL模块写操作已经就绪，可以进入写相位，否则CTRL将使AHB总线进入等待状态 |

## RDATA模块

### 功能描述



RDATA模块主要负责在AHB读相位下，从AHB读取数据，并发送给AXI-R读数据通道。在接受到LAST信号后，向AXI-R数据通道写LAST信号并附加读取结果。

### 实现原理

* 读取AHB数据：根据FIFO状态产生RDATA就绪信号发送给CTRL，根据CTRL的RDATA\_VALID信号进入写相位，并读取AHB数据写入到FIFO中。
* 产生响应：在接收到CTRL的WDATA\_LAST信号后，根据CMD\_ERROR和RESP产生响应和LAST信号写入到FIFO中

### 信号描述

|  |  |  |
| --- | --- | --- |
| 信号 | 名称 | 描述 |
| CMD\_ID | 命令发起的ID | 用于发送AXI写响应信号的Master ID |
| CMD\_ERROR | 本次命令错误 | 指示当前命令错误，发送错误响应 |
| AXI-R | AXI-R读数据通道 | AXI读数据通道 |
| AHB\_READY | AHB 准备信号 | AHB Slave是否就绪 |
| AHB\_RESP | AHB 响应信号 | AHB 正确/错误响应 |
| AHB\_RDATA | AHB 读数据接口 | Slave发送给Master的数据接口 |
| CTRL\_READ\_VALID | RDATA写有效信号 | 通知WDATA模块进入写相位 |
| CTRL\_READ\_READY | RDATA就绪信号 | 通知CTRL模块写操作已经就绪，可以进入写相位，否则CTRL将使AHB总线进入等待状态 |
| CTRL\_READ\_LAST | RDATA结束信号 | 通知WDATA接受最后一个数据并产生响应信号 |